

1. Trajanje ispita 120 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

1. KOLOKVIJUM

1. [5] Objasniti ulogu i **načine** generisanja RESET signala u namenskom računarskom sistemu. Da li je RESET signal potreban i u baterijski napajanom uređaju? Objasniti. Koja je uloga PM (Power Management) integrisanog kola u savremenim računarima?
2. [4] Objasniti razloge uvođenja više izvora taktnih signala u namenskom računarskom sistemu. Navesti i koje su to najčešće realizacije izvora taktnih signala. Ako je potreban taktni signal 2GHz za ispravan rad uređaja kako bi realizovali takav taktni signal?
3. [7] Nacrtati vremenski dijagram rada uopštene 16 bitne **sinhrone** magistrale koja **ima upravljanje bajtovima u izlaznom 16 bitnom** ciklusu na **neparnu** memorijsku lokaciju. Označiti sve relevantne vremenske parametre na dijagramu (t_1 , t_2 , ... sa naznakom da li je min ili max $t_1(\max)$... t_n). Naznačiti koji vremenski parametri su bitni za projektanta periferije koja prihvata te podatke u prihvatni registar realizovan ivičnim D flipflopovima. Koliko su potrebna setup i hold vremena flipflopa računato na osnovu označenih vremena? Šta ako ne mogu da budu postignuta?
4. [7] Nacrtati detaljnu logičku šemu vektorskog prekidnog kontrolera sa osam ulaza aktivnih sa logičkom jedinicom ili sa aktivnom logičkom nulom prekidnog zahteva sa sledećim osobinama:
 - može da se programira nivo aktivnog prekida;
 - svaki prekid može nezavisno da se maskira;
 - posle prihvaćenog prekida, taj prekid i svi prekidi nižeg prioriteta se maskiraju.
5. [7] Definisati protokol rada za ulazni i izlazni ciklus, kao i upotrebu paralelnih portova nekog SoCa u cilju formiranja, emuliranja, 8-bitne paralelne asinhronne magistrale zajedničke za adrese i podatke koja ima mogućnost adresiranja 2^8 8-bitnih memorijskih lokacija. SoC ima dva 8-bitna bidirekciona porta.